



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002141421 A**(43) Date of publication of application: **17.05.02**

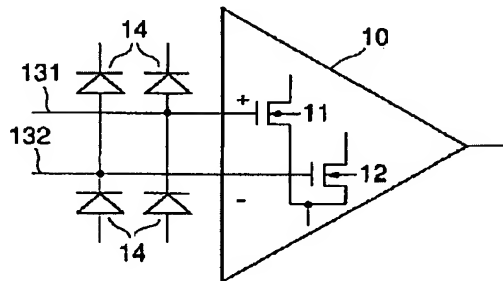
(51) Int. Cl. **H01L 21/8234**  
**H01L 27/06**  
**H01L 21/3065**  
**H01L 21/3205**  
**H01L 27/04**  
**H01L 21/822**

(21) Application number: **2000333580**(22) Date of filing: **31.10.00**(71) Applicant: **TOSHIBA CORP**(72) Inventor: **KITAGAWA NOBUTAKA**  
**TANABE AKIRA****(54) SEMICONDUCTOR INTEGRATED CIRCUIT  
DEVICE****(57) Abstract:**

**PROBLEM TO BE SOLVED:** To suppress the characteristics variation of MOS transistors due to charging by a plasma to lessen the influence causing the characteristics deterioration of an analog circuit on both gate electrodes of the MOS transistors paired in the analog circuit of a MOS type semiconductor integrated circuit device in a process of patterning a metal wiring layer by plasma etching.

**SOLUTION:** A MOS type semiconductor integrated circuit device comprises diodes 14 directly connected with metal wirings 131, 132 of a first layer to both gate electrodes of MOS transistors 11, 12 paired in an analog circuit, respectively.

COPYRIGHT: (C)2002,JPO



(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号  
特開2002-141421  
(P 2 0 0 2 - 1 4 1 4 2 1 A)  
(43)公開日 平成14年5月17日(2002.5.17)

| (51)Int.Cl. <sup>7</sup> | 識別記号 | F I        | テ-マ-ド (参考)  |
|--------------------------|------|------------|-------------|
| H01L 21/8234             |      | H01L 27/06 | 102 A 5F004 |
| 27/06                    |      | 21/302     | G 5F033     |
| 21/3065                  |      | 21/88      | S 5F038     |
| 21/3205                  |      | 27/04      | H 5F048     |
| 27/04                    |      |            |             |

審査請求 未請求 請求項の数11 O L (全9頁) 最終頁に続く

(21)出願番号 特願2000-333580(P 2000-333580)

(22)出願日 平成12年10月31日(2000.10.31)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 北川 信孝

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 田邊 顕

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

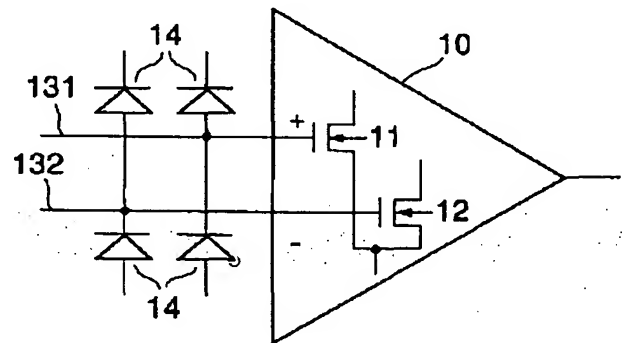
最終頁に続く

(54)【発明の名称】半導体集積回路装置

(57)【要約】

【課題】MOS型半導体集積回路装置におけるアナログ回路の互いにペアとなるMOSトランジスタ対の双方のゲート電極への金属配線層をプラズマ・エッチングによりパターニングする工程で、プラズマの帯電によるMOSトランジスタの特性変動を抑制し、アナログ回路の特性の悪化の原因となる影響を軽減する。

【解決手段】MOS型半導体集積回路装置において、アナログ回路の互いにペアとなるMOSトランジスタ11、12の双方のゲート電極に、第1層の金属配線131、132で直接接続されるダイオード14を各々有することを特徴とする。



## 【特許請求の範囲】

【請求項 1】 MOS 型トランジスタと配線層からなる半導体集積回路装置において、動作上互いに同一特性が要求される 2 個以上のトランジスタ群の各々のゲート電極に、プラズマ工程のダメージに対するトランジスタ特性変動の影響を緩和するダメージ緩和手段を設けることを特徴とする半導体集積回路装置。

【請求項 2】 前記トランジスタ群は、演算増幅回路の正入力トランジスタと負入力トランジスタの群であることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 3】 前記トランジスタ群は、カレントミラー回路のバイアス生成トランジスタと、該バイアスを受けるトランジスタの群であることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 4】 前記ダメージ緩和手段は、前記ゲート電極に第 1 の金属配線層形成時に直接接続され PN 接合を有することを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 5】 前記ダメージ緩和手段は、前記ゲート電極に至る配線に第 1 の金属配線層のみを用いることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 6】 前記ダメージ緩和手段は、前記ゲート電極に至る配線にゲート電極材料及び第 1 の金属配線層のみを用いることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 7】 前記ダメージ緩和手段は、前記ゲート電極に至る配線に金属配線と電源配線とを近接させ、エッチング工程中、前記金属配線以外の金属配線間よりも遅く分離させることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 8】 前記ダメージ緩和手段は、前記ゲート電極に接続する金属配線のビア部の周辺を囲むように、電源配線に接続するビアを多数配することを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 9】 前記ダメージ緩和手段は、前記ゲート電極に接続する金属配線周辺のビアの密度を上げるように、前記金属配線の周囲にビアを配することを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 10】 前記ダメージ緩和手段は、プラズマ工程の帯電ストレスを同等とするようなダミー配線を前記トランジスタ群のいずれかに含むことを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 11】 前記ダメージ緩和手段は、前記ゲート電極に配線される配線層の隣接配線との距離を最小間隔よりも広げ、エッチング工程中、他の配線層間よりも早く絶縁される配線層を有することを特徴とする請求項 1 記載の半導体集積回路装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置に係り、特に同一性が要求される MOS トランジスタ群におけるプラズマダメージの制御に関する。

【0002】

【従来の技術】MOS 型半導体集積回路装置の製造に際して、プラズマ工程での配線層への帯電ストレスによって MOS トランジスタの特性に影響が生じる。この点について、例えば特開平 8-97416 号公報「半導体装置」

(公知例 1) では次のように説明されている。即ち、製造プロセス中において所定の層をバターンニングするためにプラズマ・エッチングを用いる際、バターンニングされた層にプラズマ荷電粒子が蓄積され、バターンニングされた層がチャージアップ状態となる。例えば金属配線用のアルミ配線層などがチャージアップ状態となり、MOS トランジスタのゲート電極層(ポリシリコン層などからなる)にコンタクトホールを介して接続されている場合、そのゲート電極層にチャージアップされたプラズマ荷電粒子が流れ込む。これにより、ゲート電極層下のチャネル領域上に位置するゲート酸化膜にサージ電圧として加わり、ゲート酸化膜にストレスがかかり、ゲート酸化膜が劣化または破壊してしまう。この現象は、プラズマ・エッチング時に発生するプラズマ荷電粒子が蓄積される配線層の面積とゲート酸化膜の面積との比(アンテナ比)に依存する。

【0003】プラズマ電荷によるサージストレスによって引き起こされるゲート酸化膜の劣化および破壊の第 1 段階では、ゲート酸化膜がホットキャリアをトラップしやすくなり、それによりトランジスタの閾値電圧が上昇する。ゲート酸化膜の劣化および破壊の第 2 段階では、ゲート電極層と基板またはソース/ドレイン領域との間にリーク電流が流れる。

【0004】上記公知例 1 中には、配線面積(周辺長)とゲート面積(周辺長)との比であるアンテナ比によって、工程時間などに依存して  $V_{th}$  (閾値)の変動や  $g_m$  の低下、ゲートリーク電流、ゲート破壊などを引き起こすことが示されている。

【0005】この対策として、上記公知例 1 中には、図 11 に示すように、ロジック回路の MOS トランジスタのゲート電極にダイオード素子や抵抗素子を接続することが行なわれている。

【0006】また、特開平 6-61440 号公報「集積回路装置、集積回路装置のデータ処理方法、および集積回路装置のデータ処理装置」(公知例 2) 中には、図 12 に示すように、ロジック回路の MOS トランジスタのゲート電極にダイオード素子を接続することが行なわれている。

【0007】これらの公知例 1、2 に開示されている対策は、論理回路を構成するインバータ回路などの MOS トランジスタの保護と動作速度性能への影響の軽減を目的としたものであり、論理回路の  $V_{th}$  変動が回路の高速

動作性能やスタンバイ電流などに与える影響を改善することは可能であるが、アナログ回路の特性への影響の対策を行なっているものではない。

【0008】即ち、公知例1では、アンテナ比による $V_{th}$ 変動が論理ゲートに対する動作速度性能を悪化させ、システムが誤動作する可能性や、ダイオード素子や抵抗素子をゲートに接続する対策例が示されているが、アナログ回路のベアトランジスタへの素子の接続を述べてはいない。

【0009】また、公知例2では、予め設定したアンテナ比以上に配線がなされた場合に、ダイオードセルを自動設計CADにより付加する例が示されているが、アナログ回路のベア性の要求されるMOSトランジスタへの対策については開示されていない。

【0010】したがって、公知例1、2に開示されている対策のみでは、特に、高精度のアナログ回路においては、演算増幅回路のオフセット電圧、カレントミラー回路の電流比などに効果的な対策とはならない。

【0011】例えば図13に示すように、演算増幅回路OPAMPの差動入力用のMOSトランジスタのうち、正入力（非反転入力）側のトランジスタと負入力（反転入力）側のトランジスタのどちらか一方のアンテナ比が大きく、他方のアンテナ比が小さい場合、アンテナ比が大きい側のMOSトランジスタの対策としてそのゲートにダイオードを付加しても、アンテナ比が小さい方のMOSトランジスタの $V_{th}$ も微小ながら変動しており、 $V_{th}$ のアンバランスが残ってしまう。

【0012】このような場合、生じた $V_{th}$ の差はそのまま演算増幅回路OPAMPの入力オフセット電圧となり、例えば10mVの $V_{th}$ 差は、100倍増幅した場合は0.1Vにも拡大され、出力の誤差となる。

【0013】一方、アナログ回路で多用されるMOSカレントミラー回路では、図14に示すように、バイアス電圧を生成する側のMOSトランジスタのゲートに接続される金属配線長とバイアスを受ける側のMOSトランジスタのゲートに接続される金属配線長との差により両トランジスタの $V_{th}$ に差が生じた場合を考える。特に、トランジスタの電流 $I_1$ 、 $I_2$ が小さい低動作電流回路の場合などでは、 $V_{th}$ に対して、 $V_{gs}$ （ゲート・ソース間電圧）を数十mV～数百mV程度に絞った設計が行なわれるが、 $I = \beta (V_{gs} - V_{th})^2$ の関係より、 $V_{gs} = 1.0$  V、 $V_{th} = 0.85$  V程度とした場合、 $V_{th}$ の50mVの変動は、 $(1 - 0.85)^2 = 0.0225$ 、 $(1 - 0.8)^2 = 0.04$ より、1.78倍（ $0.04 / 0.0225$ ）の電流差を生じさせてしまうことになる。

【0014】以上説明したように、公知例1、2に開示されている従来の技術は、主にデジタル回路に対するプラズマ工程の帯電ストレスの影響を抑えることが目的であり、このような対策のみでは、高精度なアナログ回路や低消費電力のアナログ回路においては十分な対策とは

言えなかった。

【0015】また、前記アンテナ比は、配線層の最終的な配線パターン形状のみで決まるものではない。なぜならば、配線層の蒸着後は、集積回路の表面を覆い、全ての配線層はショートしているが、エッチング工程では、隣接する配線パターンとの間隔部分が削られる際に、配線間隔や配線層の粗密（被覆率）、配線形状など種々の条件で不均一にエッチングが進行するので、局所的に巨大なアンテナ比となる可能性があり、このような場合の対策は何ら述べられていない。

【0016】また、第1層の金属配線層と第2層の金属配線層を接続するビア（VIA）工程では、プラズマ工程でのレジストや層間絶縁膜の帯電電荷をビアがかき集め、ビアの密度が低い場合は、ゲート酸化膜へのより強いストレスを引き起こすことも、IEDM96 739～741（文献1）に指摘されている。

【0017】

【発明が解決しようとする課題】上記したように従来のMOS型半導体集積回路装置は、プラズマ製造工程における配線層の帯電が、同一性を要求されるMOSトランジスタ群のゲート電極のストレスとなってMOSトランジスタの特性変動（特に $V_{th}$ 変動、 $g_m$ 低下、リーク電流増加など）を生じさせ、アナログ回路の特性悪化をまねく原因となるという問題があった。

【0018】本発明は上記の問題点を解決するためになされたもので、プラズマ製造工程の帯電によるMOSトランジスタ群の特性変動を制御し、アナログ回路の特性悪化の原因となる影響を軽減することで、従来の製造工程を変えることなく高精度なアナログ回路を実現し得る半導体集積回路装置を提供することを目的とする。

【0019】

【課題を解決するための手段】本発明の半導体集積回路装置は、MOS型トランジスタと配線層からなる半導体集積回路装置において、動作上互いに同一特性が要求される2個以上のトランジスタ群の各々のゲート電極に、プラズマ工程のダメージに対するトランジスタ特性変動の影響を緩和するダメージ緩和手段を設けることを特徴する。

【0020】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0021】＜第1の実施形態＞図1は、本発明の第1の実施形態に係るMOS型半導体集積回路装置に形成された演算増幅回路の正入力側、負入力側の差動ペアをなすNMOSトランジスタ11、12およびそれぞれのゲートに対応して接続されている金属配線131、132およびダイオード14の回路接続を示している。

【0022】演算増幅回路10の差動入力用のトランジスタ11、12は、高いベア性が要求されるものであり、プラス入力側のNMOSトランジスタ11のゲートに連なる金

属配線131 およびマイナス側のNMOSトランジスタ12のゲートに連なる金属配線132のそれぞれに対応してそれぞれダイオード14が接続されている。この場合、各金属配線131、132から電源ノードに向かって（順方向の向きで）ダイオード14が接続され、かつ、接地ノードから各金属配線131、132に向かって（順方向の向きで）ダイオード14が接続されている。

【0023】図2は、図1中の1個のNMOSトランジスタ11のゲート電極に接続されている金属配線131およびダイオード14の1個を代表的に取り出して断面構造の一例を示している。

【0024】20は例えばp型シリコンからなる半導体基板、21は基板表層部の一部に選択的に形成された素子分離領域、22および23は基板表層部の活性領域で互いに隣接するように形成されたpウェルおよびnウェルである。

【0025】24は上記pウェル22の表層部の一部に選択的に形成されたn型拡散層であり、前記NMOSトランジスタ11のドレイン・ソース領域となる。25は前記nウェル23の表層部の一部に選択的に形成されたp型拡散層であり、nウェル23との接合（PN接合）によりダイオード14を形成している。

【0026】26は前記NMOSトランジスタ11のドレイン・ソース間のチャネル領域上にゲート絶縁膜27を介して形成された例えばポリシリコンを用いたゲート電極、28は半導体基板上でゲート電極26上を含むように形成された第1層間絶縁膜、131は第1層間絶縁膜28に開口されたコンタクトホール内部および第1層間絶縁膜28上に形成された例えばアルミニウムを用いた第1層金属配線層がプラズマ工程によりパターニングされた第1層の金属配線、29は半導体基板上で第1層の金属配線131上を含むように形成された第2層間絶縁膜、30はプラズマ工程により第2層間絶縁膜29に開口されたビアホール（via hole）の内部および第2層間絶縁膜29上に形成された例えばアルミニウムを用いた第2層金属配線層がプラズマ工程によりパターニングされた第2層の金属配線である。

【0027】ここで、図2の構造を有する半導体集積回路装置の製造工程を簡単に説明する。

【0028】まず、p型半導体基板20の主表面上にフィールド酸化膜21を選択的に形成し、活性領域にpウェル22およびnウェル23を形成し、pウェル22の表面上にゲート酸化膜27を形成した後、ポリシリコン層などからなるゲート電極26を形成する。次に、ゲート電極26をマスクとしてpウェル22にn型不純物をイオン注入することによってトランジスタのソース/ドレイン領域24を形成する。また、nウェル23の一部にp型不純物をイオン注入することによってダイオード14のp型拡散領域25を形成する。

【0029】この後、全面に第1層間絶縁膜28を形成

し、ソース/ドレイン領域24上、p型拡散領域25上およびゲート電極26上にコンタクトホールを形成する。次に、コンタクトホール内部を含む全面にアルミニウムなどの第1層の金属配線層を形成し、プラズマドライエッチングすることによって金属配線131、132（図示せず）を形成する。

【0030】上記した第1の実施形態では、金属配線131、132は、トランジスタ11、12のゲート電極およびダイオード14の一方の電極領域（p型拡散層25）に直接にコンタクトしている、つまり、トランジスタ11、12のゲート電極に接続された金属配線131、132に直接にダイオード14が接続されている。

【0031】したがって、第1層金属配線層をプラズマ工程によりパターニングして金属配線131、132を形成する際、プラズマ工程で金属配線131、132に帯電したプラズマ荷電粒子がダイオード14を介して吸収され、消失する。

【0032】この場合、金属配線131、132に帯電した正電荷は、ダイオード14を順方向に介した後nウェル23/pウェル22の接合を逆方向に經由してNMOSトランジスタ11、12の基板領域（pウェル22）に吸収される。

【0033】したがって、図1の構成によれば、プラズマ工程における金属配線131、132の帯電ストレスの影響を排除することができるので、差動入力用のトランジスタ11、12の高いベア性を実現される。

【0034】なお、ダイオード14が、NMOSトランジスタ11、12の基板領域（pウェル22）の表層部の一部に選択的に形成されたn型拡散層（図示せず）とpウェル22との接合により構成されている場合には、金属配線131、132に帯電した正電荷はダイオード14を逆方向に介してNMOSトランジスタ11、12の基板領域（pウェル22）に吸収され、金属配線131、132に帯電した負電荷はダイオード14を介してNMOSトランジスタ11、12の基板領域（pウェル22）に吸収される。逆バイアスとなるPN接合の面積は十分にとることが望ましい。

【0035】なお、図1の構成では、ダイオード14は、順方向でプラス側とマイナス側の両方の帯電を逃がせるようにP型、N型の両方を接続しているが、逆方向でも逆方向耐圧で逃がせるので、片方だけ接続してもよい。この場合、どちらの向きのダイオードを付加するかは、帯電の極性と影響により決めるべきであり、逆バイアス電流を多くするためにダイオードのPN接合の面積は広くとることが望ましい。

【0036】なお、演算増幅回路の差動入力ペアとしてPMOSトランジスタを形成する場合にも、前述したNMOSトランジスタ11、12のペアに準じて、PMOSトランジスタのゲート電極と基板上に形成されたダイオードを金属配線で直接に接続する構造とすることにより、プラズマ工程における金属配線の帯電ストレスの影響を排除することができ、差動入力用のトランジスタの高い

ベア性を実現できる。

【0037】なお、ダイオード14が、第1層の金属配線ではなく第2層の金属配線に直接に接続されて形成される構造の場合、つまり、ビアを形成した後に第2層の金属配線を形成することによって初めてダイオードが第1層の金属配線に電氣的に接続される構造の場合には、第1層金属配線層のパターニング形成やその後のビア工程に際して前述したようなダイオードの作用および効果が得られない。したがって、ダイオード14は、第1層の金属配線131、132に直接に接続されるように形成する必要が  
10 がある。

【0038】図3は、図1の演算増幅回路10を用いて、外部信号をインピーダンス変換するために用いられるボルテージフォロワ回路を構成した例を示している。

【0039】一般に、演算増幅回路10の正入力端子(+)は負入力端子(-)の配線に比べて長い配線を伴い、引き回される場合が多いので、正入力端子と負入力端子とで配線の長短が発生し易い。また、アナログ増幅回路で多用される反転増幅回路の場合では、負入力端子も、正入力端子と同様に長く引き回される場合が多い。  
20

【0040】ここでは、正入力端子と負入力端子へのプラズマ工程の影響が均一とはならない例として配線の長さを説明したが、回路の複雑さやレイアウトの複雑さにもよるが、長さのみでなく、配線の分岐や第2層の金属配線、さらに上層の金属配線など多用された複雑な配線として行われているのが一般的であり、これらの場合もプラズマ工程の帯電状況は同一とはならない。

【0041】このように一般的なアナログ回路では、正入力端子と負入力端子への配線は条件が一致しないことが多く、プラズマ工程の影響も均一とはならないが、  
30 前述した第1の実施形態を適用することにより、Vth変動など抑えることができる。

【0042】<第2の実施形態>図4は、第2の実施形態に係るMOS型半導体集積回路装置に形成された演算増幅回路を用いたボルテージフォロワ回路およびその入力配線の一例を示している。

【0043】このボルテージフォロワ回路は、図3を参照して前述したボルテージフォロワ回路と比べて、演算増幅回路40の正入力端子(+)の配線41は負入力端子(-)の配線42に比べて長く引き回される場合が多いので、配線41、42の条件をより揃えるために、少なくとも配線長が短い方の配線42に連なるように同一配線層で同時にダミー配線43を形成した点が異なり、その他は同じであるので同じ符号を付している。  
40

【0044】このようにダミー配線43を用いて、多層金属配線の配線面積や側面積、ビアなどの条件も合わせるにより、プラズマ・エッチング工程においてプラズマによりそれぞれの配線が受ける帯電ストレスの差を縮小する(望ましくは、プラズマ工程の帯電ストレスを同等に受けるようにする)ことが可能になる。つまり、演  
50

算増幅回路40の正入力端子(+)は負入力端子(-)に対するプラズマ帯電の影響を均一化することができ、ダイオードと組み合わせることにより、特性変動に強く、かつ変動量の揃ったベアトランジスタを実現することができる。

【0045】<第3の実施形態>多層金属配線を用いる場合、ゲート電極に接続されている金属配線に対して上層の金属配線を接続するために金属配線上の層間絶縁膜にビアホールを形成する際のプラズマ工程の影響が支配的になるおそれがある。この場合、ゲート電極に接続される配線としてビアを使わない金属配線とすることにより、ダメージそのものをなくすることができる例を以下に示す。

【0046】図5は、第3の実施形態に係るMOS型半導体集積回路装置に形成された演算増幅回路のベアトランジスタのゲートとダイオードとを接続する金属配線の構造の一例を示している。

【0047】図5において、トランジスタのゲート電極26およびダイオードの拡散層24(図示せず)に接続されている金属配線51は、ゲート電極26と同じ配線層に形成されたポリシリコン52および金属配線51と同じ配線層(第1層の金属配線層)に形成された別の金属配線53を介して演算増幅回路の信号入力ノードに接続されている。

【0048】このようにトランジスタのゲート電極26およびダイオードの拡散層24に接続されている金属配線51を、上層の金属配線層に対してビアコンタクトを介して接続されることなく存在させると、ビア形成工程でのプラズマによるダメージがゲート電極26に印加されなくなる。  
50

【0049】<第4の実施形態>図6は、第4の実施形態に係るMOS型半導体集積回路装置に形成されたカレントミラー回路のベアトランジスタの各ゲートに第1層の金属配線を介してそれぞれダイオードが接続された回路の一例を示す。

【0050】図6に示すように、カレントミラー回路60のバイアス生成側のトランジスタ61とバイアスを受ける側のトランジスタ62の双方のゲートおよび半導体基板上に形成されたダイオード63に直接に第1層の金属配線64が接続されている。

【0051】これにより、カレントミラー回路60のベアトランジスタ61、62の各ゲートに接続する金属配線の複雑さに拘わらず、配線形成用のプラズマ工程でのストレスの影響を排除することができ、トランジスタ61、62のベア性が確保され、高い電流比精度を実現することが可能になる。

【0052】なお、同一配線層で別体として形成された金属配線64がバイアス生成側のトランジスタ61のゲートおよびバイアスを受ける側のトランジスタ62のゲートにそれぞれ直接に接続される場合には、別体として形成さ

れた金属配線64毎に直接に接続されるように半導体基板上にダイオード63を形成しておけばよい。

【0053】仮に、バイアス生成側のトランジスタ61のゲートのみダイオード63を接続すると、バイアスを受ける側のトランジスタ62（ゲートにダイオード63が接続されないトランジスタ）の $V_{th}$ がプラズマ・ストレスの影響で変動した場合に、その分だけバイアス電圧が変動し、バイアスを受ける側のトランジスタ62の電流が変動することは容易に想像できる。

【0054】また、ドレインとゲートを接続したダイオード接続のMOS トランジスタ61へダイオード63を接続するには、MOS トランジスタ61のゲートに直接に接続する第1層の金属配線64でMOS トランジスタ61のドレイン拡散領域に直接に接続すればよいことは容易に想像できる。

【0055】＜第5の実施形態＞配線パターンの疎密や間隔、被覆率などの条件が異なる場合、プロセス条件にもよるが、プラズマ・エッチングの進行が不均一となり易い。金属配線の蒸着およびレジスト工程後では、金属配線層は集積回路の全面を覆った状態であり、プラズマ・エッチング工程で金属配線層を削っていくので、最終的な配線形状によるアンテナ比に拘わらず、途中工程で巨大なアンテナ比となることがある。

【0056】前記各実施形態では、金属配線をエッチングしている途中で、隣接配線との分離が遅れると、高いアンテナ比となるおそれがあり、この対策として以下に第5の実施形態を説明する。

【0057】図7（a）、（b）は、第5の実施形態に係るMOS 型半導体集積回路装置に形成された演算増幅回路のペアトランジスタのゲートとダイオードとを接続する金属配線のパターン例を示している。

【0058】図7（a）、（b）に示すように、特にベア性が要求され、特性変動に対する影響の大きいトランジスタのゲート（感度の高いゲート）とダイオードに接続する金属配線71について、同一配線層の隣接配線72との間隔を配線ルール of の最小間隔よりも広げたり、配線パターンの密度を低下させている（ある面積内の被覆率を下げている）。

【0059】これにより、プラズマ工程で金属配線層をエッチングしている途中では、感度の高いゲートとダイオードに接続する金属配線71と隣接配線72とのエッチングによる分離が素早く進行し、最小間隔の配線層間よりも早く絶縁されるので、アンテナ比が高くなる。

【0060】図8（a）は、第5の実施形態を適用した場合の配線分離状況を示しており、比較のために、第5の実施形態を適用しない場合の配線分離状況を図8（b）に示している。両者の対比により、金属配線層のエッチングの進行途中における配線分離状況が金属配線層の間隔、密度に依存することが分かる。

【0061】＜第6の実施形態＞図9（a）、（b）

は、第6の実施形態に係るMOS 型半導体集積回路装置に形成された演算増幅回路のペアトランジスタのゲートとダイオードとを接続する金属配線と周辺パターンとの回路接続およびパターン配置の一例を示している。

【0062】図9に示すように、トランジスタのゲート電極90とダイオード（図示せず）に接続された金属配線91と同じ配線層（1st Al）で、金属配線91に隣接し、金属配線91よりも工程順的に早い下地工程でMOS トランジスタの基板領域（バルク電極）に対して接続されている別の金属配線92が形成されている。

【0063】これにより、金属配線91の蒸着工程でMOS トランジスタの基板領域とゲート電極90が過渡的に短絡接続され、MOS トランジスタの基板領域（例えば接地電位GND）に接続されるようになるので、プラズマ工程での帯電の影響が少なくなる。

【0064】＜第7の実施形態＞トランジスタのゲートとダイオードに直接に接続されている金属配線と上層の別の金属配線（通常は第2層の金属配線）がビアコンタクトを介して接続されている場合、ビア形成のためのプラズマ・エッチングに際して金属配線に帯電によるピア・ダメージの影響が生じる。このピア・ダメージの影響を避けるための第7の実施形態について、以下に説明する。

【0065】図10は、第7の実施形態に係るMOS 型半導体集積回路装置に形成された演算増幅回路のペアトランジスタのゲートとダイオードとを接続する金属配線にピア・ダメージ対策を施したパターンの一例を示している。

【0066】図10において、トランジスタ100 のゲート電極101 およびダイオード102 に直接に接続されている金属配線103 が第1のビアコンタクト104 を介して上層の金属配線層（図示せず）に接続されている場合に、第1のビアコンタクト104 の周囲に複数の第2のビアコンタクト105 が配置されている。

【0067】このようにトランジスタ100 のゲート電極101 およびダイオード102 に直接に接続されている金属配線103 のビアの被覆率を上げると、ピア・ダメージの影響を避けることが可能である。この場合、複数の第2のビアコンタクト105 の一部あるいは全部を、電源配線あるいは接地配線に接続すると、さらに有効である。

【0068】また、上記各実施形態で説明した例は、全てを同時に適用する必要はなく、発生するトランジスタ特性の悪化の度合いに応じて選択的に組み合わせる実施することが可能である。例えば演算増幅回路のオフセット電圧が数十mV程度でも問題がない場合はダイオードの付加のみで構わない場合もあるし、オフセット電圧が10mV以下であれば、ビアコンタクトを用いない配線パターンを用いるだけでもよい。数mV以下の $V_{th}$ 変動の場合は、金属配線間隔や密度、ビア被覆率等の対策も組み合わせるなど、回路に要求される性能に応じ



て実施すればよい。

#### 【0069】

【発明の効果】 上述したように本発明の半導体集積回路装置によれば、数mV程度の $V_{th}$ 差が回路特性に影響するアナログ回路においても、その製造過程でのプラズマ工程による帯電等の影響を軽減することができ、従来の工程を変えることなく高精度なアナログ回路を実現することができる。

#### 【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係るMOS型半導体集積回路装置に形成された演算増幅回路の差動ペアをなすNMOSTランジスタおよびそれぞれのゲートに対応して接続されている金属配線およびダイオードの接続を示す回路図。

【図2】 図1中の1個のNMOSTランジスタのゲート電極に接続されている金属配線およびダイオードの1個を代表的に取り出して一例を示す断面図。

【図3】 図1の演算増幅回路を用いてボルテージフォロワ回路を構成した例を示す回路図。

【図4】 第2の実施形態に係るMOS型半導体集積回路装置に形成された演算増幅回路を用いたボルテージフォロワ回路およびその入力配線の一例を示す回路図。

【図5】 第3の実施形態に係るMOS型半導体集積回路装置に形成された演算増幅回路のペアトランジスタのゲートとダイオードとを接続する金属配線の構造の一例を示す断面図。

【図6】 第4の実施形態に係るMOS型半導体集積回路装置に形成されたカレントミラー回路のペアトランジスタの各ゲートに第1層の金属配線を介してそれぞれダイオードが接続された一例を示す回路図。

【図7】 第5の実施形態に係るMOS型半導体集積回路装置に形成された演算増幅回路のペアトランジスタのゲートとダイオードとを接続する金属配線のパターン例を示す平面図。

【図8】 第5の実施形態を適用した場合にプラズマ工程で金属配線層をエッチングしている途中における金属配線と隣接配線とのエッチングによる配線分離状況および

第5の実施形態を適用しない場合の配線分離状況を対比して示す特性図。

【図9】 第6の実施形態に係るMOS型半導体集積回路装置に形成された演算増幅回路のペアトランジスタのゲートとダイオードとを接続する金属配線の周辺パターンとの回路接続およびパターン配置の一例を示す平面図。

【図10】 第7の実施形態に係るMOS型半導体集積回路装置に形成された演算増幅回路のペアトランジスタのゲートとダイオードとを接続する金属配線にピア・ダメージ対策を施したパターンの一例を示す断面図。

【図11】 プラズマ電荷によるサージストレスによって引き起こされるゲート酸化膜の劣化がアンテナ比によって変化することを防止するの対策の一例として従来のロジック回路のMOSトランジスタのゲート電極にダイオード素子や抵抗素子が接続された場合を示す回路図。

【図12】 プラズマ電荷によるサージストレスによって引き起こされるゲート酸化膜の劣化がアンテナ比によって変化することを防止するの対策の他の例として従来のロジック回路のMOSトランジスタのゲート電極にダイオード素子が接続された場合を示す回路図。

【図13】 アナログ回路において演算増幅回路の差動入力用の非反転入力側のMOSトランジスタと反転入力側のMOSトランジスタのアンテナ比が異なる場合に、 $V_{th}$ のアンバランスによって生じた閾値電圧 $V_{th}$ の差が入力オフセット電圧となり、出力の誤差となる様子を説明するため示す回路図。

【図14】 アナログ回路においてMOSカレントミラー回路のバイアス電圧生成側のMOSトランジスタとバイアスを受ける側のMOSトランジスタとで閾値電圧 $V_{th}$ に差が生じた場合に、大きな電流差を生じる様子を説明するため示す回路図。

#### 【符号の説明】

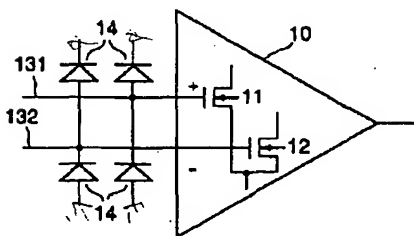
10…演算増幅回路、

11、12…差動入力ペアをなすNMOSTランジスタ、

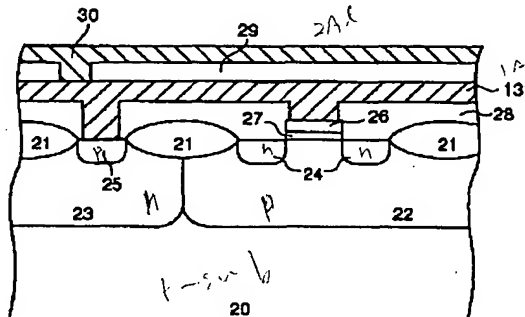
131、132…トランジスタのゲートに接続された第1層の金属配線、

14…ダイオード。

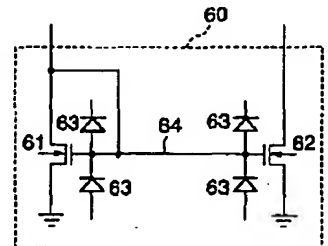
【図1】



【図2】

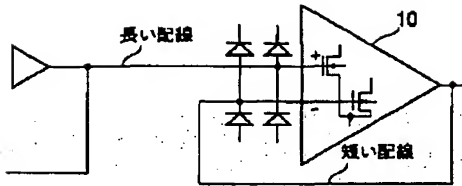


【図6】

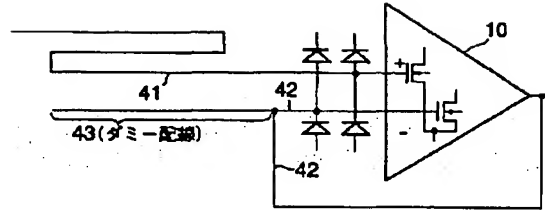




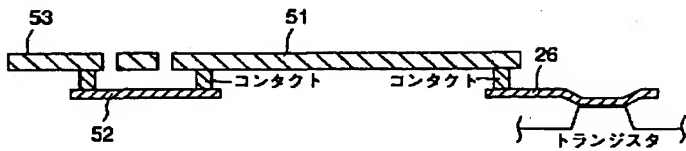
【図3】



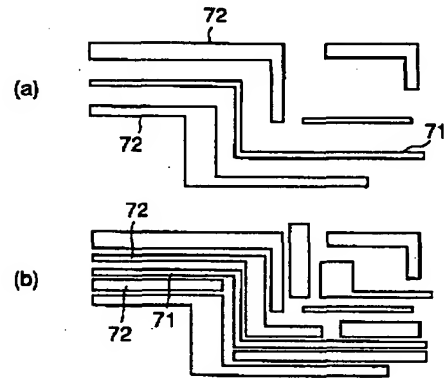
【図4】



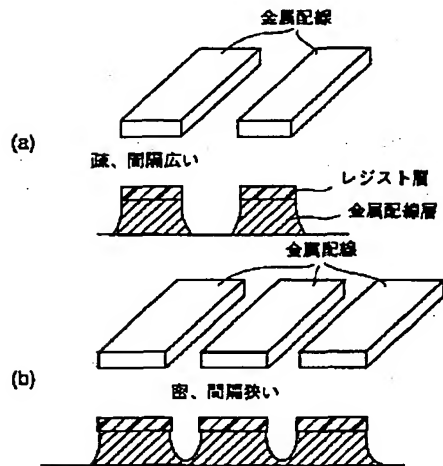
【図5】



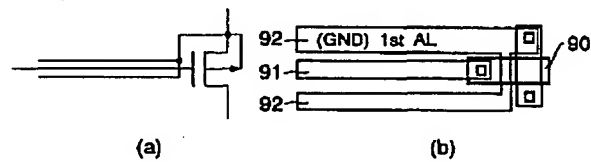
【図7】



【図8】

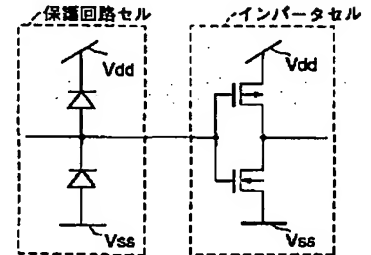
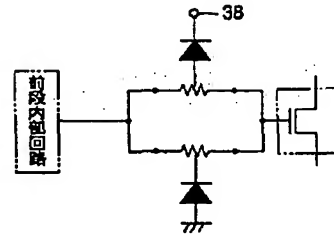
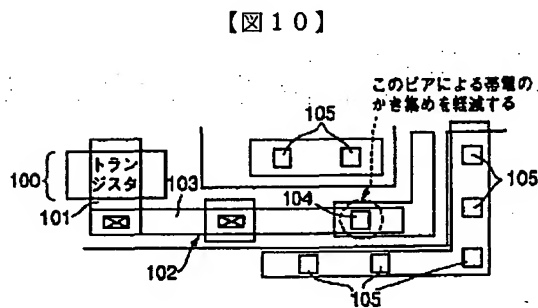


【図9】

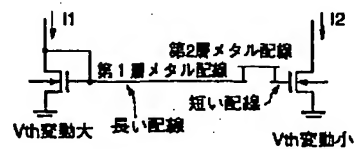


【図11】

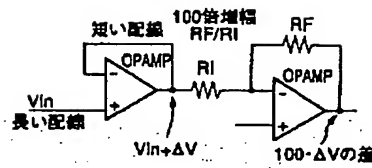
【図12】



【図14】



【図13】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード (参考)

21/822

Fターム(参考) 5F004 AA06 BD02 DB08 EB02  
 5F033 HH08 JJ01 JJ08 KK01 KK04  
 QQ09 QQ11 VV01 VV06 XX00  
 5F038 BH04 BH05 BH13 CA05 CA07  
 CA10 CA18 CD02 CD05 DF01  
 EZ15 EZ20  
 5F048 AA02 AB06 AC01 AC10 BB05  
 BE03 BF02 BF11 CC06 CC15  
 CC18